

Cite No. 2

한국등록특허번호 공고번호 199/-10086호(199/.06.21) 1부.

RECEIVED

97-010086 FEDERAL FAX CENTER

OCT 14 2005

(19) 대한민국특허청(KR)
(12) 특허공보(BI)(51) Int. Cl.
H04N 7/19(45) 공고일자 1997년 06월 21일
(11) 공고번호 97-010086(21) 출원번호 제1994-000047
(22) 출원일자 1994년 04월 30일 (45) 공개번호 제1995-0030669
(43) 공개일자 1995년 11월 24일대우전자 주식회사 배준호
서울특별시 중구 남대문로 5가 641번지(72) 발명자 김근환
서울특별시 서대문구 연희 2동 178 휴먼이파트 5-1동 201호
(74) 대리인 장영규, 김원호

심사관 : 이종필 (특허공보 제507호)

(54) 동영상 및 오디오 신호 복호시스템에 있어서 다중화된 동영상 및 오디오 비트스트림 데이터 전송장치

요약
내용없음.

도면도

도1

도2

[발명의 명칭]

동영상 및 오디오 신호 복호시스템에 있어서 다중화된 동영상 및 오디오 비트스트림 데이터 전송장치

[도면의 간단한 설명]

제1도는 종래의 다중화된 동영상 및 오디오 비트스트림 데이터 전송장치의 블록도.

제2도는 본 발명에 따른 다중화된 동영상 및 오디오 비트스트림 데이터 전송장치의 블록도.

제3도는 본 발명에 따른 다중화된 동영상 및 오디오 비트스트림 데이터 전송장치를 구성하는 제1버퍼부의 블록도.

제3b도는 본 발명에 따른 다중화된 동영상 및 오디오 비트스트림 데이터 전송장치를 구성하는 제2 및 제3버퍼부의 블록도.

* 도면의 주요부분에 대한 부호의 설명

100, 200 : 디지털 저장수단 110, 130, 140, 210, 230, 240 : 버퍼부

120, 220 : 마이크로프로세서 215, 235, 245 : 클럭과 검출부

225 : 메모리부

[발명의 상세한 설명]

본 발명은 동영상 및 오디오 복호(Decoding)시스템에 있어서 다중화된 동영상 및 오디오 비트스트림 데이터 전송장치에 관한 것으로, 특히 데이터 전송버퍼의 플러그(Full Flag 또는 Empty Flag)상태에 따라서 역동적으로 데이터를 전송하기 위한 비트스트림 데이터 전송장치에 관한 것이다.

동영상 및 오디오 복호시스템은 다중화되어 있는 동영상신호와 오디오 신호를 역다중화하여 원래의 상태로 복원하는 것으로, 보통 전입선형(First Input First Out) 방식에 의하여 데이터를 전송하고 있다.

제1도는 국제표준인 MPEG(Moving Picture Expert Group) 복호시스템에 있어서의 다중화된 동영상 및 오디오 비트스트림 데이터 전송장치의 블록도로서, 제1도를 참조하여 동영상 및 오디오 복호시스템에 대하여 좀더 상세하게 설명하면 다음과 같다.

디지털저장수단(Digital Storage Media : 이하 DSM이라 표기함)(100)은 데이터를 팩(Pack)단위로 저장하는데, 하나의 팩은 편의 시작을 알리는 팩 시작 코드(Pack Start Code)와 함께 여러 데이터 즉, 동영상 및 오디오 비트스트림 데이터, 그래픽 시스템 동작 전반에 필요한 각종 파라미터에 대한 정보인 시스템헤더(System header)를 가질수 있는 단위(이하, 패킷(Packet)이라 칭함)로 구비하고 있다. 또한, 각 팩은 동영상 패킷과 오디오 패킷이 가질수 있는 단위들 미룰 수 있도록 보충역할을 하는 패딩(padding)패킷을 가지며,

97-010086

상기 각 패킷은 패킷의 시작을 알리는 패킷 스타트 코드를 패킷 앞단에 수반한다.

상술한 바와 같이, 판단된 후 DSM(100)에 저장되어 있던 데이터들은 먼저 제1버퍼부(110)으로 보내진 후, 제1버퍼부(110)을 통해 선입선출 방식에 의해 마이크로프로세서(120)로 전달된다.

마이크로프로세서(120)는 제1버퍼부(110)로부터 전달되는 동영상 데이터와 오디오 데이터를 각 패킷 스타트 코드를 따라 분리 출력한다. 즉, 이 단계는 패킷의 스타트 코드가 동영상 신호에 대한 것이면 패킷을 제2버퍼부(130)으로 출력하고, 이하는 음향 인가된 패킷의 스타트 코드가 오디오 신호에 대한 것이면 패킷을 제3버퍼부(140)으로 출력한다.

제2버퍼부(130) 및 제3버퍼부(140) 역시 제1버퍼부(110)에서와 같이 선입선출을 버퍼가 사용된다. 제2버퍼부(130)는 동영상 데이터(도시안됨)로 데이터를 전송하고, 동영상 데이터는 인가된 데이터를 디코딩하여 원래 상태로 복원된 동영상 신호를 출력한다. 오디오 데이터(도시안됨)도 역시 제3버퍼부(140)로부터 제공된 데이터를 디코딩하여 원래 상태로 복원된 오디오 신호를 출력한다.

그러나, 상술한 바와 같이 처리하는 경우, 제1, 2 및 제3버퍼부(110, 130 및 140)의 용량을 고려하지 않고 데이터를 전송하므로, 각 버퍼부상에 기록된 데이터가 고갈(under flow)되거나 넘치는(over flow) 현상이 일어날 수 있는데, 이로 인하여 일정비율로 전송된 데이터의 전송률에 나쁜 영향을 줄 수 있다는 문제가 있다.

따라서, 본 발명의 목적은 동영상 및 오디오 복호시스템에 있어서, 비트스트림 데이터를 전송하는 버퍼부의 데이터 저장량에 따라서 적응적으로 데이터 전송률을 조절하기 위한 적응적인 비트스트림 데이터 전송장치를 제공하는데 있다.

상기 목적을 달성하기 위해, 다중화된 동영상 및 오디오 비트스트림 데이터를 전송하여 원래의 상태로 복원하기 위한 동영상 및 오디오 복호시스템의 적응적인 비트스트림 데이터 전송장치는, 다중화된 동영상 및 오디오 비트스트림 데이터를 가변적인 단위로 저장 및 출력하는 디지털저장수단과, 상기 디지털저장수단으로부터 제공되는 데이터를 일시적으로 저장한 후 선입선출(First Input First Out) 방식으로 출력하며, 상기 저장량에 따라 플래그 신호를 출력하는 제1버퍼부와, 상기 제1버퍼부로부터 제공되는 플래그 신호를 검출하여 플래그 검출신호를 출력하는 제1플래그 검출부와, 상기 플래그 검출신호에 응답하여 제1버퍼부로부터 입력받은 데이터를 동영상 비트스트림 데이터와 오디오 비트스트림 데이터로 분리하여 각각 출력하는 마이크로프로세서와, 상기 마이크로프로세서로부터 제공되는 동영상 비트스트림 데이터를 일시적으로 저장한 후 선입선출방식에 의해 동영상 데이터 코드를 출력하는 제2버퍼부와, 상기 마이크로프로세서로부터 제공되는 오디오 비트스트림 데이터를 일시적으로 저장한 후 선입선출방식에 의해 오디오 신호 코드를 출력하는 제3버퍼부를 포함한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예에 대하여 상세히 설명하기로 한다.

제2도는 본 발명에 따른 동영상 및 오디오 복호시스템에 있어서의 다중화된 동영상 및 오디오 비트스트림 데이터 전송장치를 도시한 블록도로서, 다중화된 동영상 및 오디오 비트스트림 데이터를 저장 및 출력하는 디지털저장수단(200), 입력된 비트스트림 데이터를 일시적으로 저장한 후 선입선출방식으로 출력하며, 저장량에 따라서 플래그 신호를 출력하는 제1버퍼부(210), 제1버퍼부(210)로부터 제공되는 플래그 신호에 응답하여 플래그 검출신호를 출력하는 제1플래그 검출부(215), 마이크로프로세서(220), 메모리부(225), 제2 및 제3버퍼부(230 및 240), 제2 및 제3플래그 검출부(235 및 245)로 구성된다.

디지털저장수단(200)은 종래와 마찬가지로 판단된 비트스트림 데이터를 저장하고 출력한다. 제1버퍼부(210)은 입력되는 판단된 데이터를 일시적으로 저장하게 되며, 이 저장량에 따라서 플래그 신호를 출력한다. 제1플래그 검출부(215)는 제1버퍼부(210)의 플래그 신호를 검출하여 플래그 검출신호를 출력한다. 마이크로프로세서(220)는 입력된 데이터를 동영상 비트스트림 데이터 및 오디오 비트스트림 데이터로 분리하여 출력한다. 메모리부(225)는 오디오 데이터를 저장하기 위한 큐(queue)를 갖고 있어서 입력되는 오디오 데이터를 저장한다. 제2버퍼부(230)는 상기 마이크로프로세서(220)로부터 제공된 동영상 비트스트림 데이터를 일시 저장한 후 동영상 데이터 코드를(도시안됨)로 출력하는데, 이 저장량이 가변적인 양인 상태 즉, 부족상태인 경우 empty 플래그(empty flag : 이하 이라 표기함) 신호를 출력한다. 제2플래그 검출부(235)는 제2버퍼부(230)로부터 제공되는 이 신호에 응답하여 인터럽트신호를 출력한다.

제3버퍼부(240)는 상기 마이크로프로세서(220)로부터 제공되는 오디오 비트스트림 데이터를 입력받아 일시적으로 저장한 후 오디오 신호 코드를(도시안됨)로 출력하며, 상기 제2버퍼부(230)에서와 마찬가지로 empty 플래그인 경우 이 신호를 출력한다. 또한 제3플래그 검출부(245)는 제3버퍼부(240)로부터 제공되는 이 신호에 응답하여 인터럽트신호를 출력한다.

이렇게 구성된 본 발명에 따른 동영상 및 오디오 복호시스템에 있어서의 다중화된 비트스트림 데이터 전송장치의 동작을 좀더 상세히 설명하기로 하자.

먼저, 디지털저장수단(200)은 판단된 후 저장되고 있던 데이터를 제1버퍼부(210)로 제공한다. 제1버퍼부(210)은 입력된 데이터를 일시적으로 저장한 후 출력한다. 이때, 제1버퍼부(210)은 다수개의 선입선출 버퍼로 구성된다. 본 발명에서는 예시적으로 8개의 버퍼(도시안됨) 즉, 버퍼 1 내지 버퍼 8로 구성되며, 각 버퍼는 데이터 저장량에 따라서 플래그 신호(f1 내지 f8)를 출력하는데, 저장량이 가변적인 양인 상태 즉, 불충분한 경우 각각 논리값 0의 플래그신호 f1 내지 f8(f1 내지 f8)를 출력한다.

제3a도는 제1플래그 검출부(215)를 도시한 블록도이다. 제3a도에 도시한 바와 같이 제1플래그 검출부(215)는 4개의 플래그신호 입력단을 갖는 제1 및 2AND 게이트(310 및 320), 그리고 상기 제1 및 2AND 게이트(310 및 320)로부터 논리값을 입력받아 플래그 검출신호를 출력하는 제3AND 게이트(330)로 구성된다. 제1AND 게이트(310)는 상기 제1버퍼부(210)로부터 제공되는 f1, f3, f5, f7을 입력받고, 제2AND 게이트(320)는 f2, f4, f6, f8을 입력받는다. 이렇게 각각 4개의 1을 입력받은 제1 및 2AND 게이트(310 및 320)는 논리 신호를 출력한다. 즉, 제1AND 게이트(310)는 상기 제1버퍼부(210)내의 버퍼 1, 버퍼 3, 버퍼 5 및 버퍼 7중 적어도 어느 하나의 버퍼로부터 f1 신호를 제공받으면 논리값 1을 출력한다. 제2AND 게이트(320)도 마찬가지로, 버퍼 2, 버퍼 4, 버퍼 6 및 버퍼 8중 적어도 어느 하나의 버퍼로부터

97-010086

if 신호를 제공받게 되면 논리값 1을 출력하게 된다. 이어서, 제1 및 2AND 게이트(310 및 320)로부터 제공되는 논리값에 의해 제3AND 게이트(330)는 논리값 0만 출력하고, 검출신호를 출력하게 된다. 결과적으로, 제1클럭 검출부(215)는 제1버퍼부(210)내의 8개 버퍼 중 2개 이상의 버퍼가 불안정하게 된 것을 검출할 수 있다.

상기 제1클럭 검출부(215)로부터 제공되는 클럭 검출신호 입력하에서, 마이크로프로세서(220)는 제2클럭 검출부(235)로부터 제공되는 인터럽트신호에 응답하여 상기 제1버퍼부(210)로부터 제공되는 하나의 버퍼를 입력받아 판독한다. 이때, 입력된 버퍼의 판독결과가 제 3타입 코드인 경우는 다른 버퍼를 입력받아 판독하고, 서스펜션된 버퍼인 경우는 그 버퍼를 판독한다. 판독된 버퍼를 메모리부(225)에 저장하며, 판독 버퍼의 경우 제1데이터를 버퍼하고, 동영상 데이터의 경우는 그 버퍼 데이터를 제2버퍼부(230)로 전송하며, 오디오 데이터의 경우는 메모리부(225)내의 오디오 부로 전송한다. 한편, 인터럽트 신호가 제3클럭 검출부(245)로부터 제공된다면 마이크로프로세서(220)는 메모리부(225)의 오디오 부에 저장되어 있는 데이터량을 체크한 후 데이터가 가용할만 이상인 경우, 오디오 부로부터 하나의 오디오 버퍼 데이터를 제3버퍼부(240)로 전송한다.

제2 및 제3버퍼부(230 및 240)는 다수의 선입선출 버퍼로 구성되는데, 본 발명에서는 예시적으로 각각 3개의 버퍼(도시안됨)로 구성된다. 즉, 제2버퍼부(230)는 버퍼 9 내지 11로, 제3버퍼부(240)는 버퍼 12 내지 14로 구성된다. 각 버퍼는 데이터 저장함에 따라서 클럭신호(af9 내지 af11)를 출력하는데, 저장량이 가용할만 미만인 상태 즉, 부족상태가 되면 각각 논리값 0의 컴퓨터클럭신호(af9 내지 af11, af12 내지 af15)를 출력한다. 제2버퍼부(230)의 af9 내지 af11은 제2클럭 검출부(230)로, 제3버퍼부(240)의 af12 내지 af15는 제3클럭 검출부(245)로 제공된다.

제2 및 3클럭 검출부(235 및 245)는 동일한 구성을 가지며, 그 출력도는 제36도에 도시되어 있다. 제36도에 도시된 바와 같이, 제2 및 3클럭 검출부(235 및 245)는 하나의 AND게이트(340)로 구성되는데, 이 AND게이트(340)는 제2버퍼부(230) 또는 제3버퍼부(240)로부터 제공되는 3개의 클럭신호(af9 내지 af11 또는 af12 내지 af15)를 입력받는다. 따라서, AND게이트(340)는 상기 제2버퍼부(230) 또는 제3버퍼부(240)내 3개 버퍼중 적어도 어느 하나의 버퍼로부터 if 신호를 제공받은 논리값 0의 인터럽트신호를 출력한다. 결과적으로, 제2클럭 검출부(235) 또는 제3클럭 검출부(245)는 제2버퍼부(230) 또는 제3버퍼부(240)내의 3개 버퍼중 1개 이상의 버퍼가 데이터 부족상태인 것을 검출할 수 있다.

이어서, 제2버퍼부(230)로부터는 동영상 비트스트림 데이터가 출력되어 동영상신호 디코더(도시안됨)로 전송되고, 제3버퍼부(240)로부터는 오디오 비트스트림 데이터가 출력되어 오디오신호 디코더(도시안됨)로 전송된다.

결국, 본 발명에 따른 동영상 및 오디오 복호(Decoding)시스템에 있어서의 다중화된 동영상 및 오디오 비트스트림 데이터 전송장치는 데이터 전송버퍼의 플래그(Full Flag 또는 Empty Flag)상태에 따라서 적절적으로 데이터를 전송할 수 있다는 커다란 장점이 있다.

(5) 청구항 설명

청구항 1

다중화된 동영상 및 오디오 비트스트림 데이터를 전송하여 원래의 상태로 복원하기 위한 동영상 및 오디오 복호시스템의 복호러의 비트스트림 데이터 전송장치에 있어서, 다중화된 동영상 및 오디오 비트스트림 데이터를 가용할만 상태로 저장 및 출력하는 디지털저장수단(200)과; 상기 디지털저장수단(200)으로 제공되는 데이터를 일시적으로 저장한 후 선입선출(First Input First Out)방식으로 출력하여, 상기 저장함에 따라 제1클럭 신호를 출력하는 제1버퍼부(210)와; 상기 제1버퍼부(210)로부터 제공되는 클럭 신호를 검출하여 클럭 검출신호를 출력하는 제1클럭 검출부(215)와; 상기 클럭 검출신호에 응답하여 제1버퍼부(210)로부터 입력받은 데이터를 동영상 비트스트림 데이터와 오디오 비트스트림 데이터를 분리하여 각각 출력하는 마이크로프로세서(220)와; 상기 마이크로프로세서(220)로부터 제공되는 동영상 비트스트림 데이터를 일시적으로 저장한 후 선입선출방식에 의해 동영상신호 디코더를 출력하는 제2버퍼부(230)와; 상기 마이크로프로세서(220)로부터 제공되는 오디오 비트스트림 데이터를 일시적으로 저장한 후 선입선출방식에 의해 오디오신호 디코더를 출력하는 제3버퍼부(240)를 포함하는 것을 특징으로 하는 다중화된 동영상 및 오디오 비트스트림 데이터 전송장치.

청구항 2

제1항에 있어서, 상기 제1버퍼부(210)가 저장량이 가용할만 미만인 경우 제1클럭신호를 출력하는 버퍼를 다수개 갖는 것을 특징으로 하는 다중화된 동영상 및 오디오 비트스트림 데이터 전송장치.

청구항 3

제1항에 있어서, 상기 제2버퍼부(230)가 저장량이 가용할만 미만인 경우 제2클럭신호를 출력하는 버퍼를 다수개 갖는 것을 특징으로 하는 다중화된 동영상 및 오디오 비트스트림 데이터 전송장치.

청구항 4

제1항에 있어서, 상기 제3버퍼부(240)가 저장량이 가용할만 미만인 경우 제3클럭신호를 출력하는 버퍼를 다수개 갖는 것을 특징으로 하는 다중화된 동영상 및 오디오 비트스트림 데이터 전송장치.

청구항 5

제1항에 있어서, 상기 제2버퍼부(230)으로부터 제공되는 제2클럭신호에 응답하여 제2클럭 검출신호를 출력하는 제2클럭 검출부(235)와; 상기 제3버퍼부(240)로부터 제공되는 제3클럭신호에 응답하여 제3클럭 검출신호를 출력하는 제3클럭 검출부(245)와; 상기 마이크로프로세서(220)로부터 제공되는 오디오 비트스트림 데이터를 저장하는 메모리부(225)를 더 포함하는 것을 특징으로 하는 다중화된 동영상 및

97-010086

오디오 비트스트림 데이터 전송장치

참조항 6

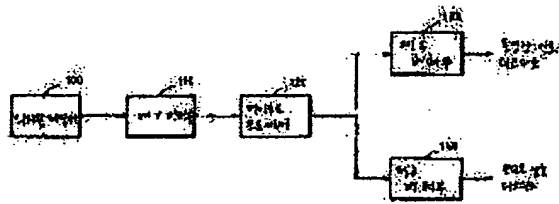
제5항에 있어서, 상기 제1클럭을 검출하여, 상기 마이크로프로세서(220)와 상기 제2클럭을 검출하여 송신하는 오디오 비트스트림 데이터를 제2버퍼부(230)로 제공하는 것을 특징으로 하는 다중화인 동영상 및 오디오 비트스트림 데이터 전송장치.

참조항 7

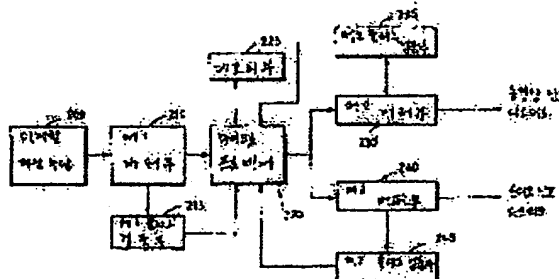
제5항에 있어서, 상기 제1클럭을 검출하여, 상기 마이크로프로세서(220)가 제3클럭을 검출하여 송신하는 상기 메모리부(225)에 저장되어 있는 오디오 비트스트림 데이터를 제3버퍼부(240)로 제공하는 것을 특징으로 하는 다중화인 동영상 및 오디오 비트스트림 데이터 전송장치.

도면

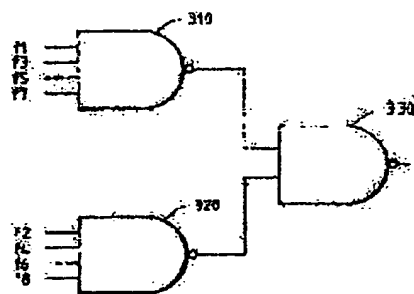
도면 1



도면 2



도면 3-가



97-010086

503-11

